



**PATENT**

Docket No. JCLA10726

page 1

**IN THE UNITED STATE PATENT AND TRADEMARK OFFICE**

In re application of : KWUN-YAO HO et al.  
Application No. : 10/737,412  
Filed : December 15,2003

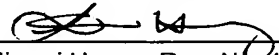
**Certificate of Mailing**

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as certified first class mail in an envelope addressed to: Commissioner for Patents, P.O.BOX 1450, Alexandria VA 22313-1450, on

April 5, 2004

(Date)

For : VERTICAL ROUTING STRUCTURE

  
Jiawei Huang, Reg. No. 43,330

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Transmitted herewith is a certified copy of **Taiwan** Application No. **92109449** filed on **April 23, 2003**.

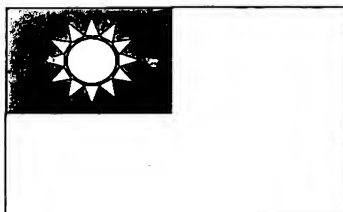
A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA10726).

Date: 4/5/2004

By:   
Jiawei Huang  
Registration No. 43,330

**Please send future correspondence to:**  
J. C. Patents  
4 Venture, Suite 250  
Irvine, California 92618  
Tel: (949) 660-0761



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 04 月 23 日  
Application Date

申請案號：092109449  
Application No.

申請人：威盛電子股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 12 月 31 日  
Issue Date

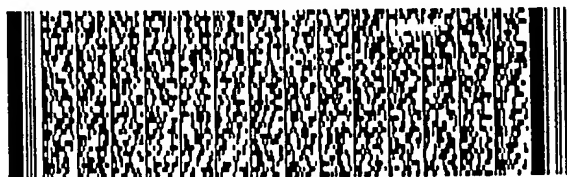
發文字號：09221318900  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	垂直繞線結構
	英 文	VERTICAL ROUTING STRUCTURE
二、 發明人 (共2人)	姓 名 (中 文)	1. 何昆耀
	姓 名 (英 文)	1. Kwun-Yao Ho
	國 籍 (中 英 文)	1. 中華民國 TW
	住 居 所 (中 文)	1. 台北縣新店市中正路533號8樓
	住 居 所 (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	1. 威盛電子股份有限公司
	名稱或 姓 名 (英 文)	1. VIA Technologies, Inc.
	國 籍 (中 英 文)	1. 中華民國 TW
	住 居 所 (營 業 所) (中 文)	1. 台北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同)
	住 居 所 (營 業 所) (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
	代 表 人 (中 文)	1. 王雪紅
	代 表 人 (英 文)	1. Hsiueh-Hlong WANG

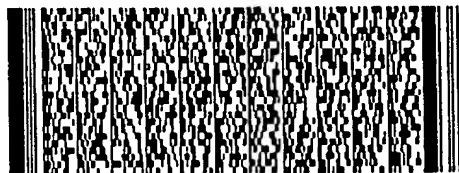


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共2人)	姓 名 (中 文)	2. 宮振越
	姓 名 (英 文)	2. Moriss Kung
	國 籍 (中 英 文)	2. 中華民國 TW
	住居所 (中 文)	2. 台北縣新店市中正路533號8樓
	住居所 (英 文)	2. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中 文)	
	代表人 (英 文)	



四、中文發明摘要 (發明名稱：垂直繞線結構)

一種垂直繞線結構，適用於一多層基板，其中多層基板具有一疊合層，且疊合層具有至少一貫孔，其貫穿疊合層，而連接疊合層之兩面，此垂直繞線結構主要係由一導電柱以及一導電層所構成，其中導電柱配置於貫孔之中，且導電柱之兩末端分別突出於疊合層之兩面。導電層係配置介於貫孔之內壁面及導電柱之間。此垂直繞線結構係可相對地縮小多層基板之佈線面積，或相對地提高多層基板之繞線密度。

伍、(一)、本案代表圖為：第 3 圖

(二)、本案代表圖之元件代表符號簡單說明：

200：基板

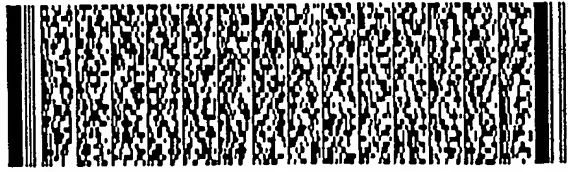
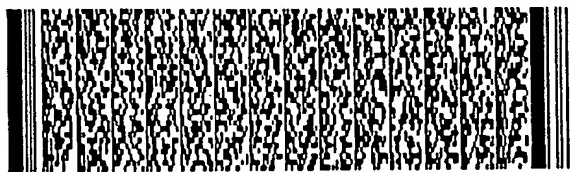
210b：介電層

220b、220c：線路層

230a、230b：鍍罩層

陸、英文發明摘要 (發明名稱：VERTICAL ROUTING STRUCTURE)

A vertical routing structure is suited for a multi-layer substrate with laminated layers having at least one through hole, which passes through the top surface and bottom surface of the laminated layer of the substrate. The vertical routing structure comprises a conductive rod deposited into the through hole and a conductive layer located between the side wall of the



四、中文發明摘要 (發明名稱：垂直繞線結構)

232 : 保護層

246a、246b、246c : 導電柱

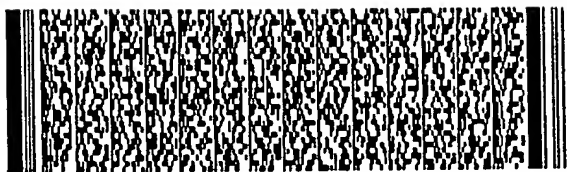
248a、248b : 導電柱

249a、249b : 頂端

250a、250b : 底端

陸、英文發明摘要 (發明名稱：VERTICAL ROUTING STRUCTURE)

conductive rod and the through hole. In addition, two end surfaces of the conductive rod are individually protruded over the top surface and the bottom surface of the laminated layers. With the structure of the vertical routing structure, the circuit layout area of the substrate is reduced, and the layout density of the substrate will be higher.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

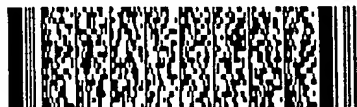
☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得, 不須寄存。



## 五、發明說明 (1)

### 【發明所屬之技術領域】

本發明是有關於一種繞線結構，且特別是有關於一種適用於多層基板之垂直繞線結構。

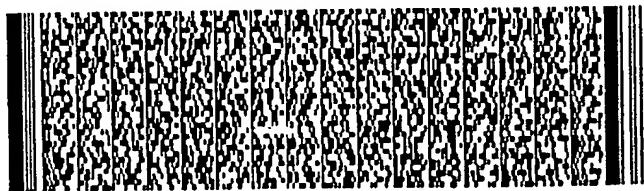
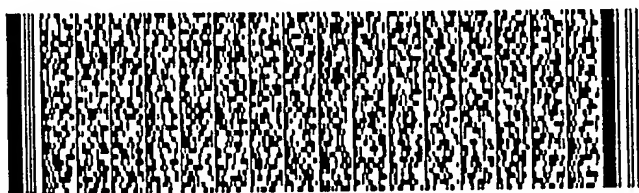
### 【先前技術】

近年來，隨著電子技術的日新月異，高科技電子產業的相繼問世，使得更人性化、功能更佳的電子產品不斷地推陳出新，並朝向輕、薄、短、小的趨勢設計。目前在半導體製程當中，基板型承載器 (substrate type carrier) 是經常使用的構裝元件，其主要包括壓合法 (laminated) 及增層法 (build-up) 二大類型之基板。其中，基板主要由多層圖案化線路層及多層介電層所交替疊合而成，由於基板具有佈線細密、組裝緊湊以及性能良好等優點，已成為覆晶構裝用基板 (flip chip package substrate) 之主流。

一般而言，基板之圖案化線路層例如由銅箔 (copper foil) 層經過微影蝕刻所定義形成，而介電層係配置於相鄰之圖案化線路層之間，用以隔離相鄰之圖案化線路層。其中，相鄰之圖案化線路層之間係透過一鍍通插塞

(Plating Through Hole, PTH) 或一導電孔

(conductive via) 而形成電性連接，而介電層之材質包括玻璃環氧基樹脂 (FR-4、FR-5)、雙順丁烯二酸醯亞胺 (Bismaleimide-Triazine, BT) 或者環氧樹脂 (epoxy) 等。此外，一般基板之最外層還以一錫罩層 (solder mask) 所覆蓋，而錫罩層僅暴露出基板之接合墊

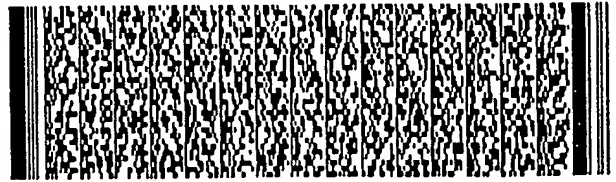
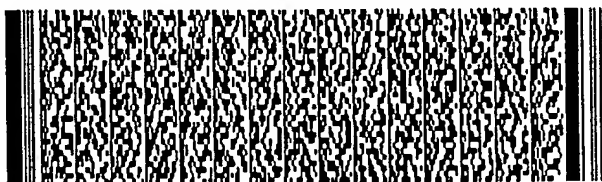




## 五、發明說明 (2)

(bonding pad)，其中接合墊係用以作為基板之連接部裝置的接點，而接合墊之表面還可配設一預銲塊 (pre-solder)，同樣用以作為連接覆晶構裝之晶片的接點。

第1圖繪示習知之一種增層法所製作之基板其繞線結構的局部剖面圖。請參照第1圖，以四層線路層之基板為例，習知的基板100內部具有一絕緣芯層110，其上下兩側先分別形成未圖案化之一第一線路層120a、120b，接著再圖案化第一線路層120a、120b，以形成圖案化之第一線路層120a、120b，接著利用機械鑽孔 (mechanical drill) 的方式，鑿穿絕緣芯層110以形成多個貫孔112，而貫孔112之內側壁例如以電鍍的方式形成一導電層115，並填入一樹脂材料114於貫孔112之內部空間，用以形成多個鍍通插塞116 (僅繪示其一)。接著，在後續之增層法的製作過程以絕緣芯層110的上半側為例，其做法係形成一介電層130a於第一線路層120a之上，並利用感光成孔 (photo via) 或雷射鑽孔 (laser ablation) 的方式，來圖案化介電層130a，用以形成多個開口132 (僅繪示其一) 於介電層130a上。之後，再填入導電物質於每一開口132之內，用以形成多個導電孔134。接著，再形成圖案化之第二線路層120c於介電層130a之上，其中第二線路層120c係藉由導電孔134而電性連接於第一線路層120a，且第二線路層120c具有多個接合墊122a，其暴露於基板100最外層之銲罩層150a。此外，在基板100之頂面的接合墊122a還



#### 五、發明說明 (3)

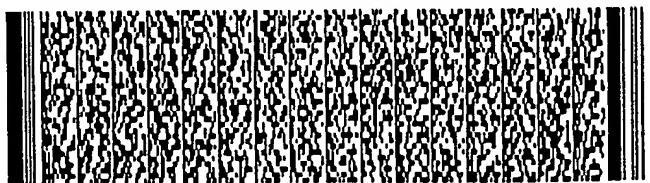
可配設多個預鐸塊124，可作為連接覆晶構裝之晶片的接點。另外，同樣地，在絕緣芯層110的下半側係依序形成一介電層130b、一圖案化之第二線路層120d以及一鐸罩層150b，且為提供各種型態之接點，在基板100之底面的接合墊122b上，還可配置例如鐸球(ball)、針腳(pin)或導電凸塊(conductive block)等各種型態的接點126，且接點126例如以面陣列(area array)的方式，排列於基板100之底面，用以構成一具有高腳數之基板100。

值得注意的是，習知之利用增層法所製作的基板，其雖可作為高腳數之覆晶封裝結構所應用的基板，但在製作上仍存在以下缺點：(1)鍍通插塞及導電孔的製作過程複雜，且其製作成本不易降低。(2)利用傳統的鍍通插塞及導電孔的繞線設計，將不易縮小基板之水平方向上的佈線面積，因而無法有效地提升基板之繞線密度。(3)利用微影製程來定義第二線路層之接合墊時，必須提供較大的對位裕度，因而縮小鄰近線路層之佈線空間。

#### 【發明內容】

有鑑於此，本發明之目的就是在提供一種垂直繞線結構，適用於一高密度繞線之多層基板，用以增加基板之繞線密度，且可縮短基板之訊號傳輸路徑，並可增加基板之本身的散熱效能。

本發明之另一目的是提供一種垂直繞線結構，適用於一高密度繞線之多層基板，而基板具有多個以機械鑽孔或雷射鑽孔所形成之貫孔，其垂直貫穿基板，用以配置一導



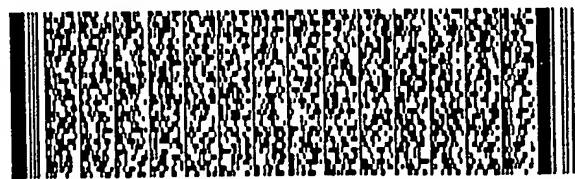
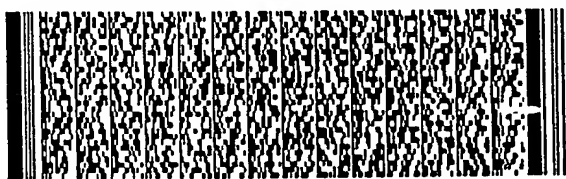
#### 五、發明說明 (4)

電柱及一導電層於其中，且導電柱之一端係可在基板之一面，直接連接覆晶構裝之晶片的凸塊，而導電柱之另一則可直接連接基板之底面的接點。

為達本發明之上述目的，本發明提出一種垂直繞線結構，適用於一多層基板，其中基板具有一疊合層，且疊合層具有至少一貫孔，其貫穿疊合層，而連接疊合層之兩面，此垂直繞線結構主要係由一導電柱以及一導電層所構成，其中導電柱配置於貫孔之中，且該導電柱之兩末端係分別突出於該疊合層之兩面，而導電層配置介於貫孔之內壁面及導電柱之側面。

為達本發明之上述目的，本發明更提出一種垂直繞線結構之製程，適用於一多層基板，其中基板具有一疊合層，此垂直繞線結構之製程至少包括下列步驟：(a) 形成至少一貫孔於疊合層，其中貫孔係貫穿疊合層，而連接疊合層之兩面；(b) 形成一導電層於貫孔之內壁面；以及(c) 填入一導電物質於貫孔之中，以形成導電柱於貫孔之中，且導電柱之兩末端係分別突出於疊合層之兩面，而導電層係位於貫孔之內壁面及導電柱之側面。

依照本發明的較佳實施例所述，上述導電柱之末端係形成一凸塊、一預鐸塊或一鐸球，用以作為基板之連接外界的接點。此外，疊合層更具有至少一線路層，其位於疊合層之內部，且線路層係電性連接於導電層。另外，導電柱之材質例如為鐸料、低熔點合金或金屬，且對導電層具有吸附性，故當導電柱之材質為錫鉛合金時，導電層之材



#### 五、發明說明 (5)

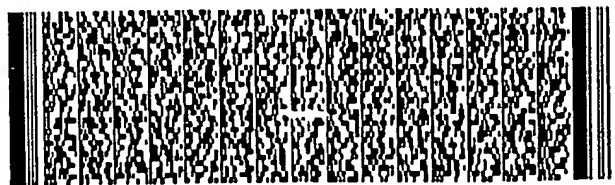
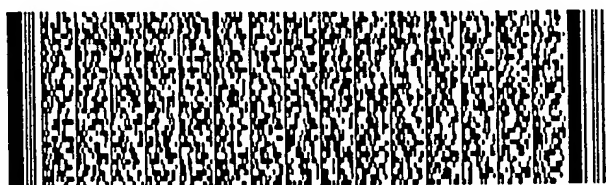
質例如為銅。因此，當填入導電物質於貫孔之內時，液態之導電物質將可利用毛細現象而填入於微小貫孔之中，最後形成導電柱於貫孔之中，其中填入導電物質於貫孔之內的方法包括波鐸 (wave soldering)、噴塗 (spraying) 或浸塗 (dipping)。

基於上述，本發明之垂直繞線結構可克服習知因鍍通插塞以及導電孔的製作過程複雜，且其製作成本不易降低的問題。此外，在相同之佈線密度之下，應用本發明之垂直繞線結構的基板其佈線面積將可進一步地縮小。換句話說，在相同之佈線面積之下，應用本發明之垂直繞線結構的基板其佈線密度將可進一步地增加。另外，導電柱之一端係可直接連接覆晶構裝之晶片的凸塊，而導電柱之另一端則可直接連接基板之底面的接點，並且導電柱同時可提供基板較佳之散熱效果。

為讓本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

#### 【實施方式】

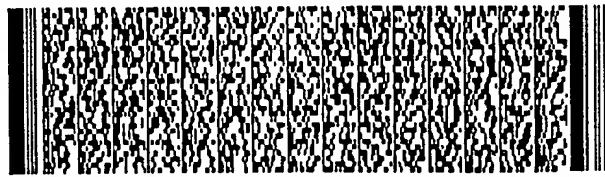
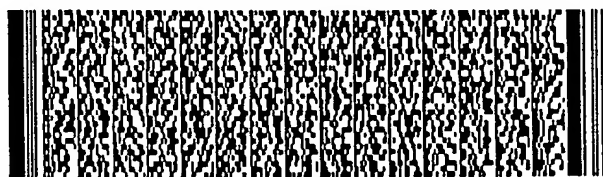
請參考第2A圖，其繪示本發明一較佳實施例之一種垂直繞線結構的剖面圖，此垂直繞線結構係適用於一多層基板，且特別是具有高密度繞線之多層基板，例如覆晶接合用之承載器或一般印刷電路板，本較佳實施例乃是以四層導線層之基板200作為舉例，但不限於四層導線層之基板，任何導線層之數目大於二的基板均可通用。首先，多



#### 五、發明說明 (6)

層基板200 (以下簡稱基板) 主要係由多層介電層210a、210b、210c及圖案化之多層線路層220a、220b、220c、220d所交錯疊合而成，其中基板200之製程除可利用習知之增層法，來逐次形成多層介電層210a、210b、210c及多層線路層220a、220b、220c、220d之外，亦可利用習知之壓合法，來將多層介電層210a、210b、210c及多層已圖案化之線路層220a、220b、220c、220d同時壓合，以形成基板200之內部結構，如第2A圖所示之疊合層202。值得注意的是，在製作完成基板200之疊合層202以後，基板200之最外層例如以一鍍罩層 (或介電層) 230a、230b所覆蓋，而鍍罩層230a、230b係覆蓋最外層之導線層220a、220d，且鍍罩層230a、230b還可以微影蝕刻或印刷的方式，來定義最外層之導線層220a、220d的接點位置，並且基板200之疊合層202更具有垂直繞線結構240，其垂直貫穿基板200，且例如電性連接於疊合層202之線路層220c、220d。

請同樣參考第2A圖，形成鍍罩層230a、230b之後，再利用機械鑽孔或雷射鑽孔的方式，形成多個貫孔212於基板200之疊合層202之中。由於機械鑽孔或雷射鑽孔之製作成本低，且精準度高，其所形成之貫孔212的孔徑最小約可達到50~100微米，所以可利用此一垂直貫穿於基板200的貫孔212作為垂直繞線結構240之容納空間。其中，貫孔212係貫穿疊合層202，且貫孔212之內壁面係連接疊合層202之頂面及底面。接著，利用電鍍的方式，形成一導電層242於貫孔212之內壁面，並填入導電物質於貫孔212之

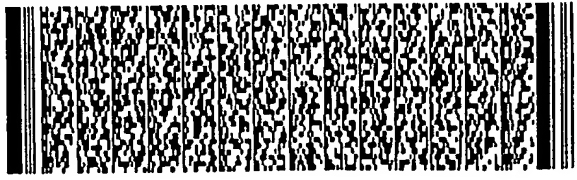
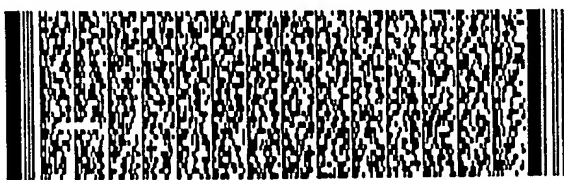


#### 五、發明說明 (7)

內，用以形成一導電柱244，而導電柱244之頂面及底面係分別突出於疊合層202之頂面及底面，並可暴露於鉅罩層（或介電層）230a、230b之外表面，用以構成一垂直繞線結構240。

請同樣參考第2A圖，在形成貫孔212的同時，更直接在鉅罩層230a上形成多個開口231a（僅繪示其一），並直接在鉅罩層230b上形成多個開口231b（僅繪示其一），且導電柱244之兩末端更分別填滿開口231a及開口231b，並分別突出於鉅罩層230a、230b之表面。此外，為了在導電柱244之底端形成較大的接點面積，可在形成未圖案化之鉅罩層230b之後，接著圖案化鉅罩層230b，而形成孔徑大於貫孔212之開口231b，然後在形成貫孔212；或者是，在同時形成貫孔212及開口231b之後，接著再加大開口231b之孔徑，最終皆可使開口231b之孔徑將相對大於貫孔212之孔徑，而使導電柱244之底端可形成較大之接點面積。因此，導電柱244之末端還可直接作為一凸塊、一預鉅塊或一鉅球，並可在導電柱244之兩端分別連接一凸塊、一預鉅塊或一鉅球，用以作為基板200之用以連接外界的接點。

請參考第2B圖，其繪示本發明另一種垂直繞線結構的示意圖，當疊合層202之底面不需配置接點時，鉅罩層230b之開口231b的孔徑係可等於貫孔212的孔徑，換句話說，在形成貫孔212之前後，無須額外地增加開口231b之孔徑。此外，請參考第2C圖，其繪示本發明又一種垂直繞

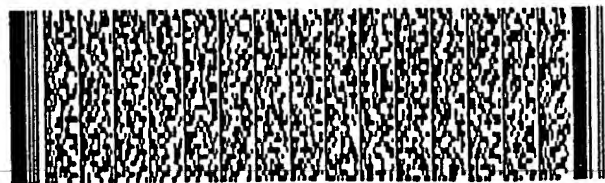
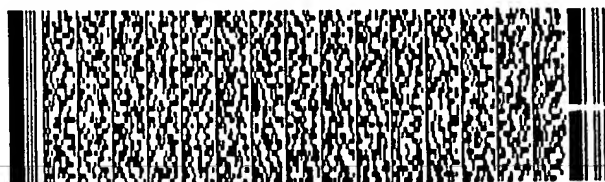


#### 五、發明說明 (8)

線結構的示意圖，當疊合層202之底面需配置體積較大之凸塊接點時，亦可將局部之導電層242延伸至鍍罩層230b之表面，因此，導電柱244之底端將可完全覆蓋於暴露之導電層242之上，並形成體積較大之接點，或在導電柱244之底端再額外地連接一鍍球或其他形狀之接點，用以形成體積較大的接點。

請再參考第2A圖，值得注意的是，本發明之流程係先在製作基板200之疊合層202以及鍍罩層230a、230b之後，接著利用機械鑽孔或雷射鑽孔的方式，形成多個垂直貫穿基板200之貫孔212，最後再形成一垂直繞線結構240於基板200之疊合層202之中。因此，就製程之複雜度而言，本較佳實施例之垂直繞線結構240係較習知之第1圖之鍍通插塞114及導電孔134之繞線設計簡化許多，所以應用本較佳實施例之垂直繞線結構240的基板200，其製程步驟將可大幅減少，並且其製程成本亦可大幅降低。

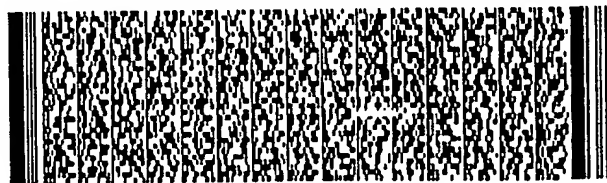
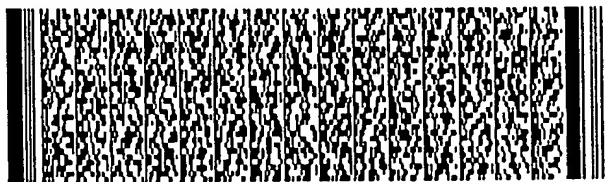
請同樣參考第2A圖，垂直繞線結構240主要係由一導電柱244以及一導電層242所構成，其中導電柱244配置於每一貫孔212之中，而導電層242係配置介於貫孔212之內壁面及導電柱244之側面，且導電層242例如電性連接於疊合層202之圖案化線路層220c、220d，以使相疊之線路層220c、220d藉由垂直繞線結構240而彼此電性連接。此外，導電柱244之材質例如為鍍料、低熔點合金或金屬，且對於導電層242具有吸附性，故當導電柱244之材質為錫鉛合金時，導電層242之材質例如為銅。因此，當填入導



#### 五、發明說明 (9)

電物質於貫孔212之內時，可利用毛細現象將液態之導電物質填入於貫孔212之中，最後形成一導電柱244於貫孔212之中，其中填入導電物質於貫孔212之內的方法包括波鐸、噴塗或浸塗。值得注意的是，當利用波鐸的方式，填入導電物質於貫孔212之中時，可利用流動中之流體（例如氣流）來移除位於貫孔212之兩端的多餘導電材質，使得兩相鄰之導電柱244之末端間不會經由多餘殘留之導電材質，而彼此電性連接。

請參考第3圖，其繪示第2A、2B圖之兩種垂直繞線結構，其同時應用於一基板的局部剖面圖。導電柱246a、246b、246c、248a、248b之兩端係可突出於鐸罩層230a、230b之外表面，用以作為基板200之連接外部裝置的接點，其中導電柱246a、246b、246c之頂端249b係可作為覆晶接合用之凸塊或預鐸塊，而導電柱246a、246b、246c之底端250b係可作為直接連接鐸球、針腳或導電凸塊等之接點，其中導電柱246a、246b、246c之底端250b的形狀及尺寸係可受到鐸罩層230b之開口231及導線層220d所控制。此外，部分無須形成凸塊或接點之導電柱248a、248b之頂端249a及底端250a，亦可選擇性地覆蓋一保護層232，其材質可相同於鐸罩層230之材質或其他保護性材質，但亦可不覆蓋一保護層232，如第2B圖所示之導電柱244的底端，以簡化製程之步驟。其中，受到保護層232所覆蓋之導電柱248b亦可電性連接於導線層220b、220c及220d，而成為基板200之一埋入式設計的垂直繞線結構。





## 五、發明說明 (10)

請同樣參考第3圖，利用垂直繞線結構之基板200，由於導電柱246a、246b、246c、248a、248b係垂直貫穿基板200，使得應用基板200之覆晶封裝結構可藉由導電柱246a、246b、246c、248a、248b，而將晶片（未繪示）所產生的熱能迅速地傳遞至外界環境中。當然，由於導電柱246a、246b、246c、248a、248b之橫向截面積係可小於習知接合墊142之橫向截面積，且導電柱的製作過程期間，不須預留習知之利用微影來定義接合墊142時所須之對準裕度的空間。因此，在相同之佈線密度之下，基板200之佈線面積將可進一步地縮小。換句話說，在相同之佈線面積之下，基板200之佈線密度將可進一步地增加。

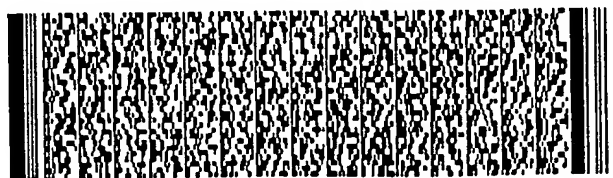
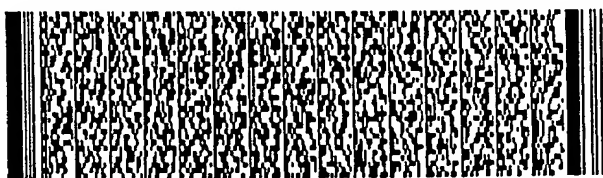
綜上所述，本發明之垂直繞線結構具有下列優點：

(1) 本發明之垂直繞線結構乃是利用簡單的製程步驟而形成於基板上，並無須習知以增層法來製作基板的繁瑣步驟，故可有效地減少基板之製程步驟，進而大幅降低基板之製程成本。

(2) 本發明之垂直繞線結構係可利用機械鑽孔或雷射鑽孔的方式來形成貫孔於基板上，並填入導電材質至貫孔之中，用以形成導電柱，使得導電柱之所佔有基板於水平方向上的面積較小，因而有助於提升基板之繞線密度。

(3) 應用本發明之垂直繞線結構的基板可無須形成習知之接合墊來配置覆晶凸塊或預鐸塊，使得應用本發明之垂直繞線結構的基板將可具有較高的繞線密度。

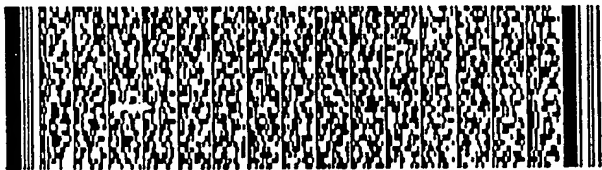
(4) 本發明之垂直繞線結構的導電柱係垂直貫穿基



##### 五、發明說明 (11)

板，當導電柱之材質亦為導熱性佳的材質時，更可藉由導電柱將熱能迅速地由上而下傳遞至外界環境中，與應用習知之鍍通插塞 (PTH) 的基板相較之下，應用本發明之垂直繞線結構的基板將可具有較佳散熱效果。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

第1圖繪示習知之一種增層法所製作之基板，其繞線結構的局部剖面圖。

第2A圖繪示本發明一較佳實施例之一種垂直繞線結構的剖面圖。

第2B圖繪示本發明另一種垂直繞線結構的示意圖。

第2C圖繪示本發明又一種垂直繞線結構的示意圖。

第3圖繪示第2A、2B圖之兩種垂直繞線結構，其同時應用於一基板的局部剖面圖。

## 【圖式標示說明】

100：基板

110：絕緣芯層

112：貫孔

114：樹脂材料

115：導電層

116：鍍通插塞

120a、120b、120c、120d：線路層

122a、122b：接合墊

124：預鐸塊

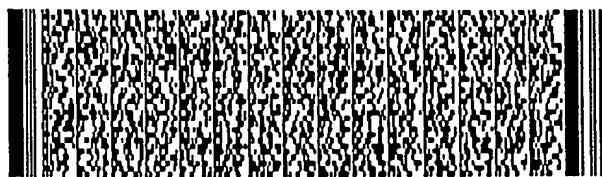
126：接點

130a、130b：介電層

132：開孔

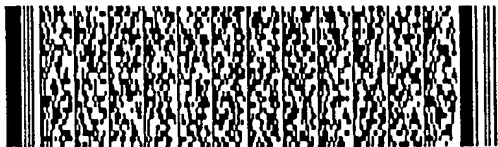
134：導電孔

150：鐸罩層



圖式簡單說明

- 200 : 基板
- 202 : 疊合層
- 210a、210b、210c : 介電層
- 212 : 貫孔
- 220a、220b、220c、220d : 線路層
- 230a、230b : 鍍罩層
- 231a、231b : 開口
- 232 : 保護層
- 240 : 垂直繞線結構
- 242 : 導電層
- 244 : 導電柱
- 246a、246b、246c : 導電柱
- 248a、248b : 導電柱
- 249a、249b : 頂端
- 250a、250b : 底端



## 六、申請專利範圍

1. 一種垂直繞線結構，適用於一多層基板，其中該多層基板具有一疊合層，且該疊合層具有至少一貫孔，其貫穿該疊合層，而連接該疊合層之兩面，該垂直繞線結構包括：

一導電柱，配置於該貫孔之中；且該導電柱之兩末端係分別突出於該疊合層之兩面；以及

一導電層，配置介於該貫孔之內壁面及該導電柱之間。

2. 如申請專利範圍第1項所述之垂直繞線結構，其中該多層基板更包括一第一鍍罩層及一第二鍍罩層，其分別配置於該疊合層之兩面，而該第一鍍罩層具有至少一第一開口，且該第二鍍罩層具有至少一第二開口，而該導電柱之兩末端係分別填滿該第一開口及該第二開口，並分別突出於該第一鍍罩層及該第二鍍罩層之表面。

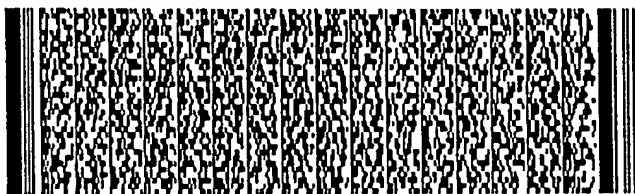
3. 如申請專利範圍第2項所述之垂直繞線結構，其中該第二開口之孔徑係大於該貫孔之孔徑。

4. 如申請專利範圍第1項所述之垂直繞線結構，其中該導電柱之末端係作為一凸塊、一預鍍塊及一接點其中之一。

5. 如申請專利範圍第1項所述之垂直繞線結構，更包括一凸塊，其連接於該導電柱之一末端。

6. 如申請專利範圍第1項所述之垂直繞線結構，更包括一預鍍塊，其連接於該導電柱之一末端。

7. 如申請專利範圍第1項所述之垂直繞線結構，更包



#### 六、申請專利範圍

括一鐳球，其連接於該導電柱之一末端。

8. 如申請專利範圍第1項所述之垂直繞線結構，其中該疊合層更具有至少一線路層，其位於該疊合層之內部，且該線路層係電性連接於該導電層。

9. 如申請專利範圍第1項所述之垂直繞線結構，其中該導電柱之材質係為鐳料、低熔點合金及低熔點金屬其中之一。

10. 如申請專利範圍第1項所述之垂直繞線結構，其中該導電層相對於該導電柱之材質具有吸附性。

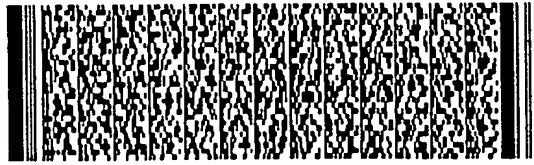
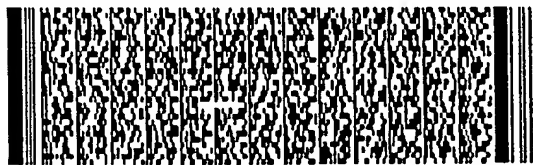
11. 一種垂直繞線結構之製程，適用於一多層基板，其中該多層基板具有一疊合層，該垂直繞線結構之製程至少包括下列步驟：

(a) 形成至少一貫孔於該疊合層，其中該貫孔係貫穿該疊合層，而連接該疊合層之兩面；

(b) 形成一導電層於該貫孔之內壁面；以及

(c) 填入一導電物質於該貫孔之中，以形成該導電柱於該貫孔之中，且該導電柱之兩末端係分別突出於該疊合層之兩面，而該導電層係位於該貫孔之內壁面及該導電柱之側面。

12. 如申請專利範圍第11項所述之垂直繞線結構之製程，其中於步驟(a)之前，更包括形成一第一鐳罩層及一第二鐳罩層於該疊合層之兩面，且於步驟(a)之時，該貫孔更直接貫穿該第一鐳罩層及該第二鐳罩層，而分別在該第一鐳罩層及該第二鐳罩層上形成一第一開口及一第



## 六、申請專利範圍

二開口，且於步驟（b）之時，該導電層更形成於該第一開口及該第二開口之內面，且於步驟（c）之時，該導電柱之兩末端係分別填滿該第一開口及該第二開口，並分別突出於該第一鍍罩層及該第二鍍罩層之表面。

13. 如申請專利範圍第11項所述之垂直繞線結構之製程，其中於步驟（a）之前，更包括形成一第一鍍罩層及圖案化之一第二鍍罩層於該疊合層之兩面，其中該第二鍍罩層具有一第二開口，且於步驟（a）之時，該貫孔更直接貫穿該第一鍍罩層及該第二鍍罩層之該第二開口，而在該第一鍍罩層上形成一第一開口，且於步驟（b）之時，該導電層更形成於該第一開口及該第二開口之內面，且於步驟（c）之時，該導電柱之兩末端係分別填滿該第一開口及該第二開口，並分別突出於該第一鍍罩層及該第二鍍罩層之表面。

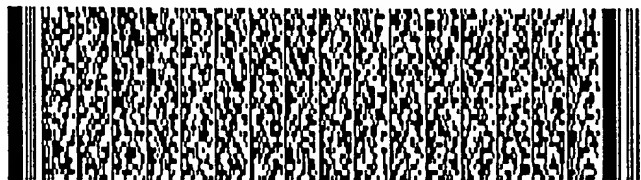
14. 如申請專利範圍第11項所述之垂直繞線結構之製程，其中更包括形成一凸塊於該導電柱之一末端。

15. 如申請專利範圍第11項所述之垂直繞線結構之製程，其中更包括形成一預鍍塊於該導電柱之一末端。

16. 如申請專利範圍第11項所述之垂直繞線結構之製程，其中更包括形成一鍍球於該導電柱之一末端。

17. 如申請專利範圍第11項所述之垂直繞線結構之製程，其中該疊合層更具有至少一線路層，其位於該疊合層之內部，且該線路層係電性連接於該導電層

18. 如申請專利範圍第11項所述之垂直繞線結構之製



## 六、申請專利範圍

程，其中於步驟(c)之時，該導電柱之材質係為錐料、低熔點合金及低熔點金屬其中之一。

19. 如申請專利範圍第11項所述之垂直繞線結構之製程，其中於步驟(b)之時，該導電層相對於該導電柱之材質具有吸附性。

20. 如申請專利範圍第11項所述之垂直繞線結構之製程，其中於步驟(c)之時，填入該導電物質於該貫孔之內的方法包括利用毛細現象，將液態之該導電物質填入該貫孔之中，最後形成該導電柱於該貫孔之中。

21. 如申請專利範圍第11項所述之垂直繞線結構之製程，其中於步驟(c)之時，填入該導電物質於該貫孔之內的方法包括波錐、噴塗及浸塗其中之一。

22. 一種多層基板，至少包括：

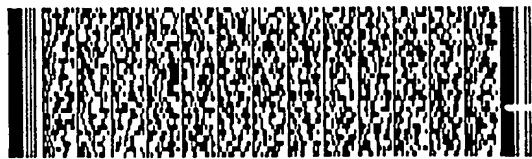
- 一疊合層，該疊合層具有至少一貫孔，其貫穿該疊合層，而連接該疊合層之兩面；

- 一第一錐罩層，配置於該疊合層之一面，並具有至少一第一開口；

- 一第二錐罩層，配置於該疊合層之另一面，並具有至少一第二開口；以及

- 一垂直繞線結構，具有一導電柱以及一導電層，該導電柱係配置於該貫孔之中，且該導電柱之兩末端係分別填滿該第一開口及該第二開口，該導電層係配置介於該貫孔之內壁面及該導電柱之間。

23. 如申請專利範圍第22項所述之多層基板，其中該





## 六、申請專利範圍

第二開口之孔徑係大於該貫孔之孔徑。

24. 如申請專利範圍第22項所述之多層基板，其中該導電層還延伸至該第二鍍罩層之該第二開口的周緣表面。

25. 如申請專利範圍第22項所述之多層基板，其中該導電柱之末端係作為一凸塊、一預鍍塊及一接點其中之一。

26. 如申請專利範圍第22項所述之多層基板，更包括一凸塊，其連接於該導電柱之一末端。

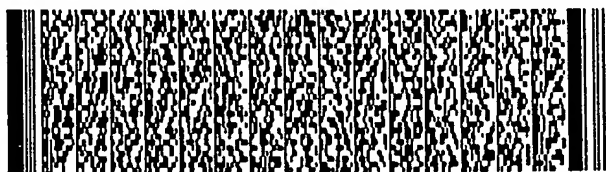
27. 如申請專利範圍第22項所述之多層基板，更包括一預鍍塊，其連接於該導電柱之一末端。

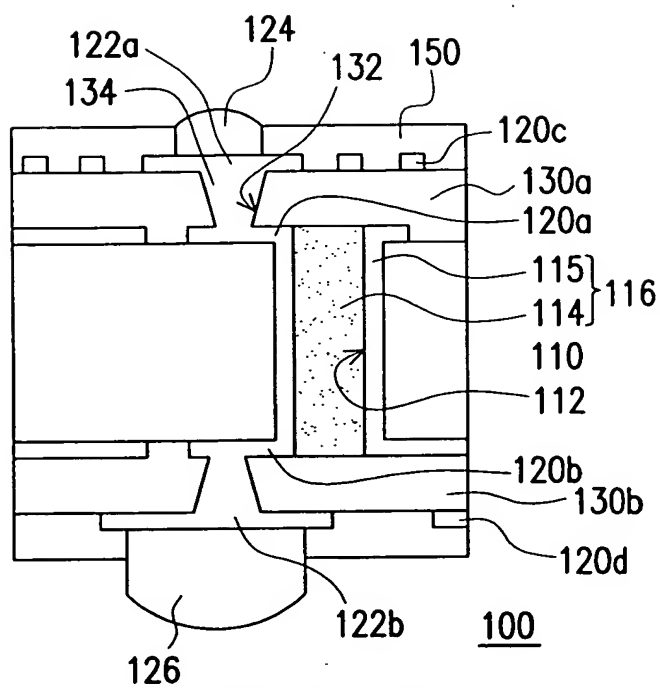
28. 如申請專利範圍第22項所述之多層基板，更包括一鍍球，其連接於該導電柱之一末端。

29. 如申請專利範圍第22項所述之多層基板，其中該疊合層更具有至少一線路層，其位於該疊合層之內部，且該線路層係電性連接於該導電層。

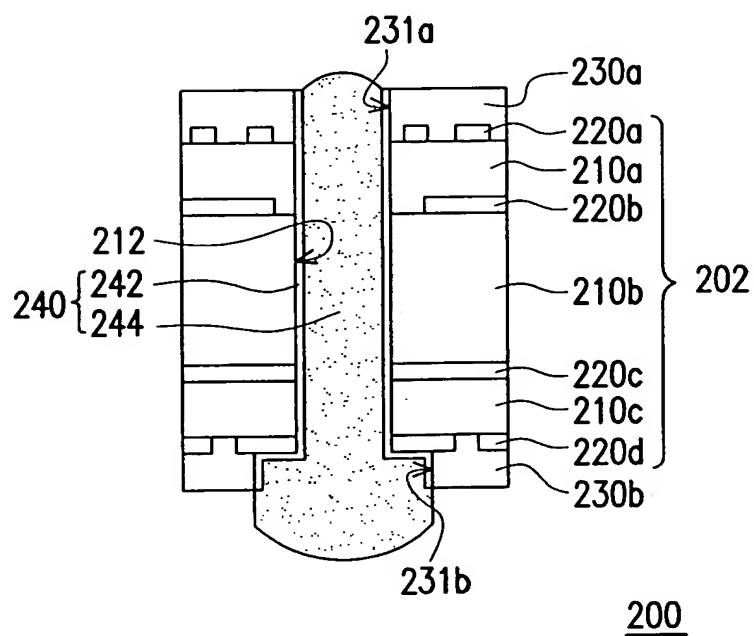
30. 如申請專利範圍第22項所述之多層基板，其中該導電柱之材質係為鍍料、低熔點合金及低熔點金屬其中之一。

31. 如申請專利範圍第22項所述之多層基板，其中該導電層相對於該導電柱之材質具有吸附性。

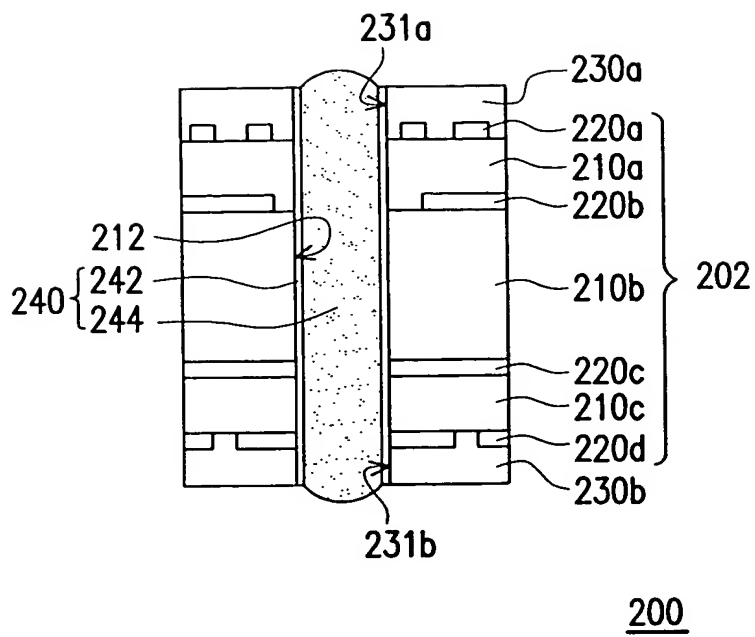




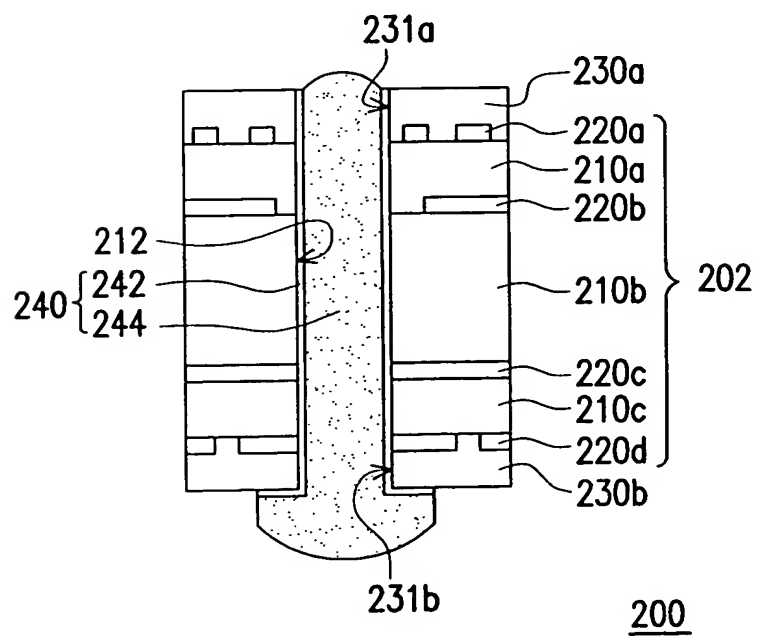
第 1 圖



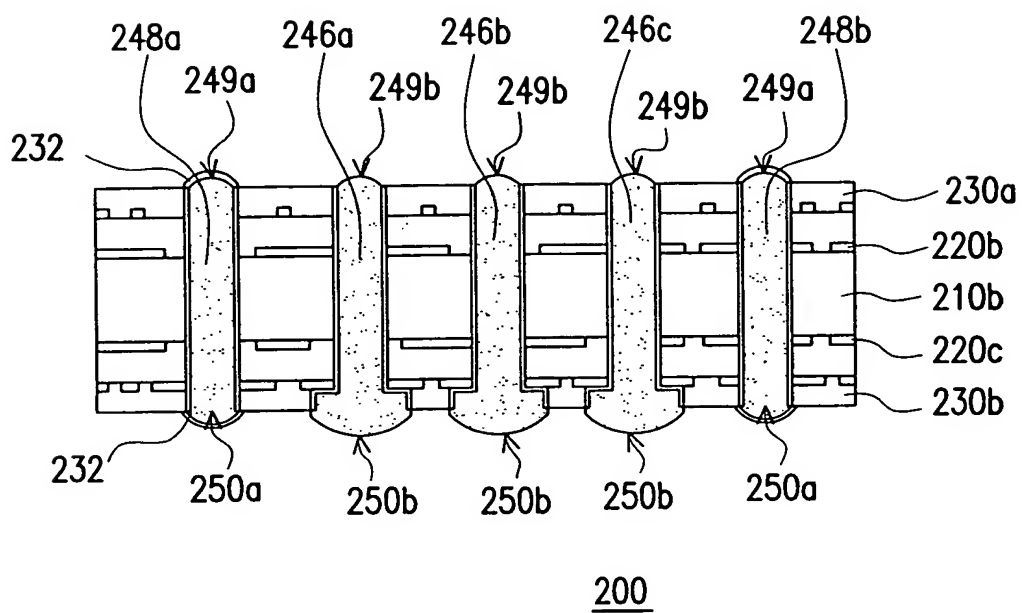
第 2A 圖



第 2B 圖

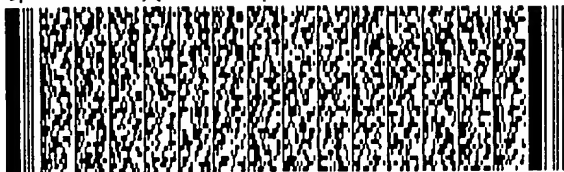


第 2C 圖

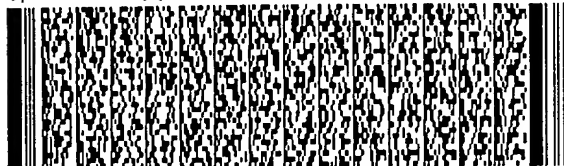


第 3 圖

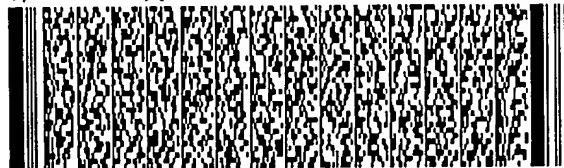
第 1/23 頁



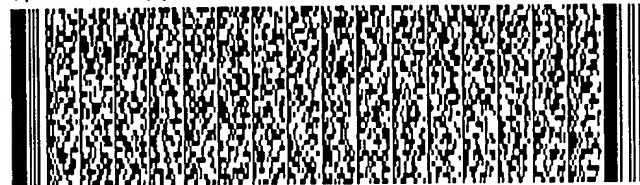
第 3/23 頁



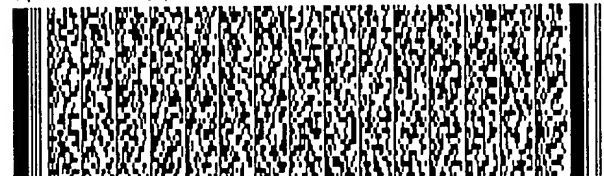
第 4/23 頁



第 6/23 頁



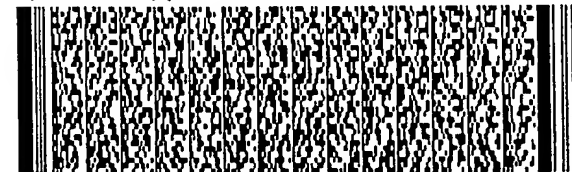
第 7/23 頁



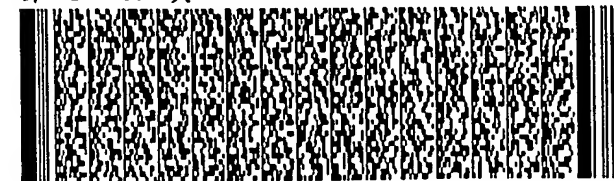
第 8/23 頁



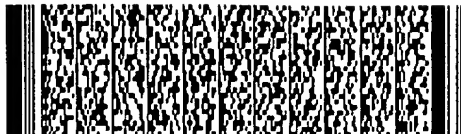
第 9/23 頁



第 10/23 頁



第 2/23 頁



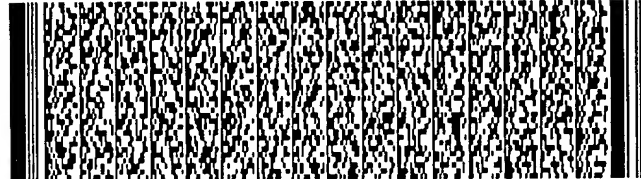
第 3/23 頁



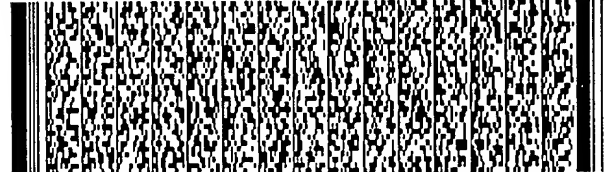
第 5/23 頁



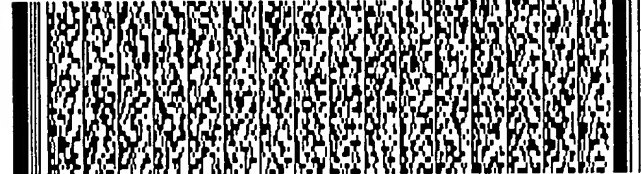
第 6/23 頁



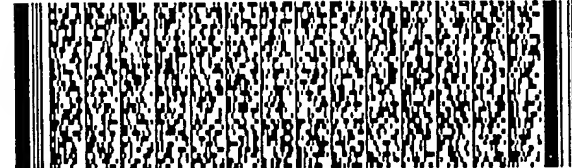
第 7/23 頁



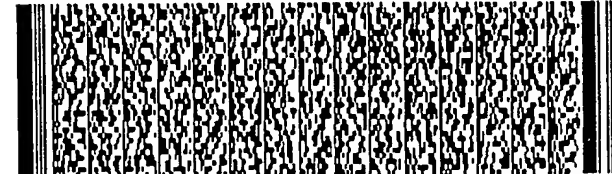
第 8/23 頁



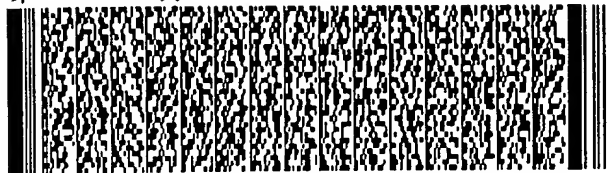
第 9/23 頁



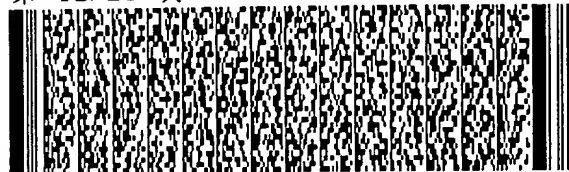
第 10/23 頁



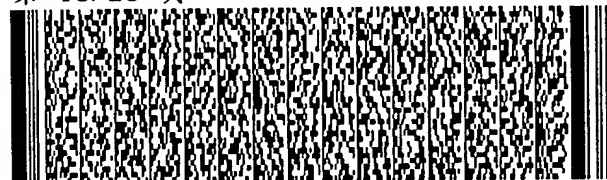
第 11/23 頁



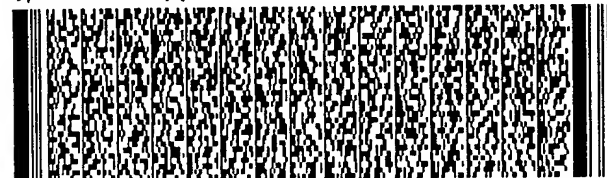
第 12/23 頁



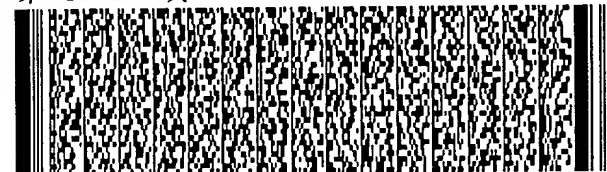
第 13/23 頁



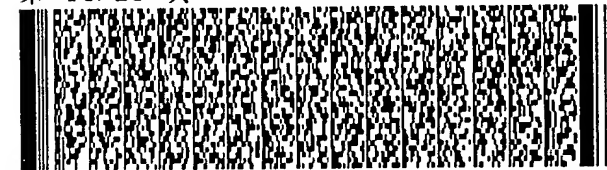
第 14/23 頁



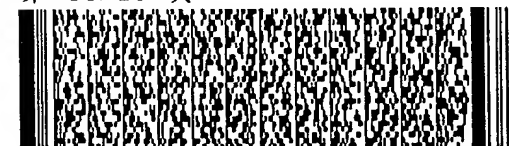
第 15/23 頁



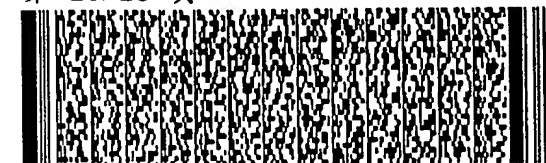
第 16/23 頁



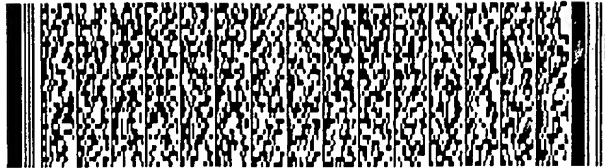
第 18/23 頁



第 20/23 頁



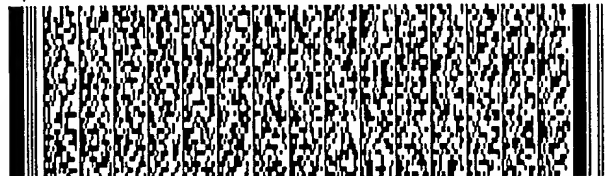
第 11/23 頁



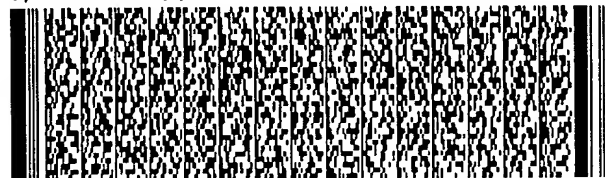
第 12/23 頁



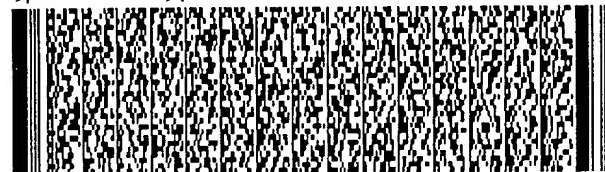
第 13/23 頁



第 14/23 頁



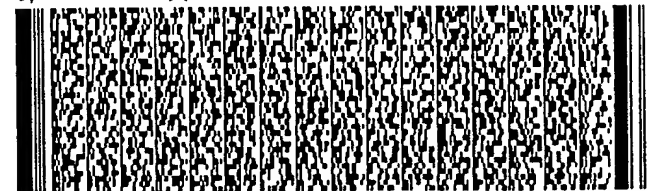
第 15/23 頁



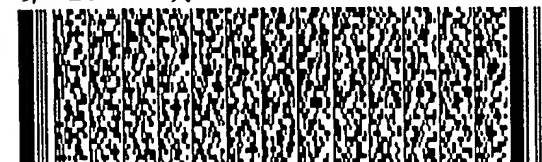
第 17/23 頁



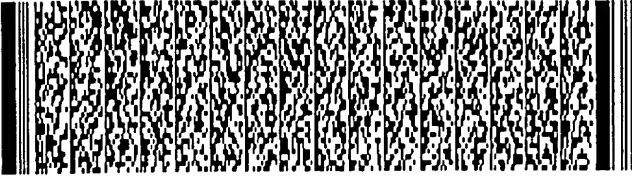
第 19/23 頁



第 20/23 頁



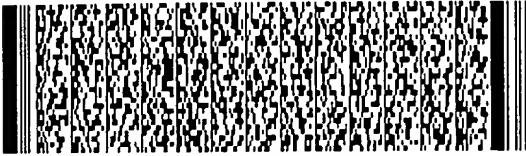
第 21/23 頁



第 22/23 頁



第 22/23 頁



第 23/23 頁

